

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-297812

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

H01L 21/76

(21)Application number : 10-342719

(71)Applicant : INTERNATL BUSINESS MACH  
CORP <IBM>  
TOSHIBA CORP

(22)Date of filing : 02.12.1998

(72)Inventor : MANDELMAN JACK A  
MORIKADO MUTSUO  
HO HERBERT  
JEFFREY P GANBINO

(30)Priority

Priority number : 98 33067

Priority date : 02.03.1998

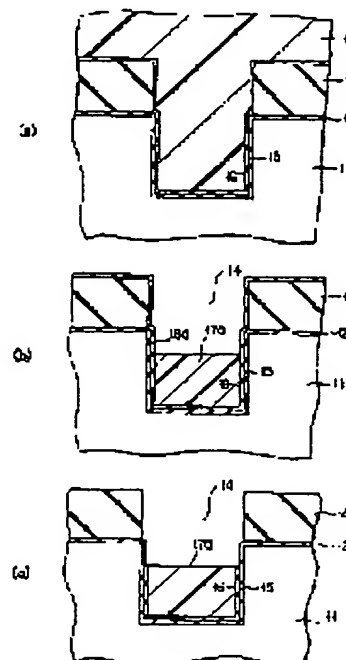
Priority country : US

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To inhibit the formation of a recessed part and to prevent the large change of threshold voltage and off current, by previously removing a nitride liner on the upper part of a side wall with shallow trench element separation.

SOLUTION: Resist 17 is etched to the depth of 1000 Å from the surface of a silicon substrate by chemical dry etching(CDE). A silicon nitride liner 16a at the upper part of a shallow trench 14 is removed and whole resist 17a in the shallow trench 14 is removed by CDE. TEOS oxide is embedded in the shallow trench 14, and shallow element separation is formed. A pad nitride film 13 and a pad oxide film 12 on a separated element area are removed, and a gate oxide film and a gate electrode are formed. A source area and a drain area are formed by ion implanting and MOSFET is completed. At the time of removing the pad nitride film 13, a recessed part by the removal of the silicon nitride liner is not formed since the silicon nitride liner is not exposed to a surface.



## LEGAL STATUS

[Date of request for examination]

05.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297812

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/76

識別記号

F I

H 0 1 L 21/76

L

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平10-342719

(22) 出願日 平成10年(1998)12月2日

(31) 優先権主張番号 0 3 3 0 6 7

(32) 優先日 1998年3月2日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー  
ズ・コーポレーション

INTERNATIONAL BUSIN  
ESS MACHINES CORPO  
RATION

アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(74) 代理人 弁理士 鈴江 武彦 (外3名)

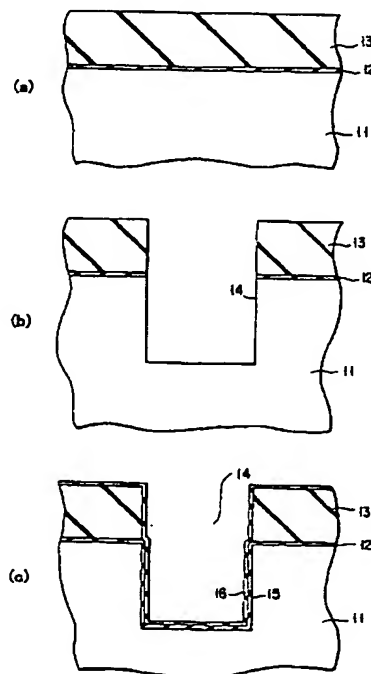
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 浅いトレンチを用いた素子分離における凹部 (d e v o t) を減少させることを可能とする半導体装置の製造方法を提供すること。

【解決手段】 半導体基板に素子分離用のトレンチを形成する工程、前記トレンチ内面に窒化膜を形成する工程、前記トレンチ内をマスク材料で満たすように、全面にマスク材料を堆積する工程、前記マスク材料を、前記トレンチ内のマスク材料の表面のレベルが前記半導体基板の表面のレベルより下になるように、エッチングする工程、前記エッチングにより露出した前記トレンチ内面上部の窒化膜を除去する工程、前記トレンチ内のマスク材料を除去する工程、前記トレンチ内を素子分離材料で埋め込み、素子分離領域を形成する工程、および前記素子分離領域により分離された素子領域にトランジスタを形成する工程を具備する。



## 【特許請求の範囲】

【請求項 1】半導体基板に素子分離用のトレンチを形成する工程、

前記トレンチ内面に窒化膜を形成する工程、

前記トレンチ内をマスク材料で満たすように、全面にマスク材料を堆積する工程、

前記マスク材料を、前記トレンチ内のマスク材料の表面のレベルが前記半導体基板の表面のレベルより下になるように、エッチングする工程、

前記エッチングにより露出した前記トレンチ内面上部の窒化膜を除去する工程、

前記トレンチ内のマスク材料を除去する工程、

前記トレンチ内を素子分離材料で埋め込み、素子分離領域を形成する工程、および前記素子分離領域により分離された素子領域にトランジスタを形成する工程を具備することを特徴とする半導体装置の製造方法。

【請求項 2】前記マスク材料のエッチングは、前記マスク材料の表面のレベルが、前記半導体基板の表面のレベルより 4 1 5 ないし 1 5 8 5 オングストローム下となるように行われることを特徴とする請求項 1 に記載の方法。

【請求項 3】前記マスク材料のエッチングと前記トレンチ内面上部の窒化膜の除去が、同時に行われることを特徴とする請求項 1 に記載の方法。

【請求項 4】前記マスク材料のエッチングと前記トレンチ内面上部の窒化膜の除去が、 $\text{CF}_4$  と  $\text{O}_2$  の混合ガスの雰囲気、化学的ドライエッチング (CDE) により行われることを特徴とする請求項 4 に記載の方法。

【請求項 5】半導体基板と、

この半導体基板に形成されたトレンチ内を素子分離材料で埋め込んでなる素子分離領域と、

この素子分離領域により分離された素子領域に形成されたトランジスタとを具備し、

前記トレンチ内面の、トレンチの上部を除く領域に窒化膜が形成されていることを特徴とする半導体装置。

【請求項 6】前記トレンチの上部の、前記窒化膜が形成されていない領域の下端は、前記半導体基板の表面のレベルより 4 1 5 ないし 1 5 8 5 オングストロームの距離にあることを特徴とする請求項 7 に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係り、特に、浅いトレンチ素子分離における凹み (d i v o t) の制御を可能とする半導体装置の製造方法に関する。

## 【0002】

【従来の技術】浅いトレンチ素子分離 (以下、STI と略称する。) の典型的な形成プロセスでは、深いキャパシタートレンチのカラー酸化膜領域におけるシリコンの側壁の酸化を防止するために、浅いトレンチの内面の熱酸

化膜上に窒化膜ライナーが形成される。その後、浅いトレンチ内には LPCVD により TEOS 酸化物が堆積され、その結果、隣接する素子間を分離する STI が形成される。

【0003】図 7 に示すように、浅いトレンチにおいて窒化物ライナー 1 を形成する目的は、深いキャパシタートレンチ 2 のカラー酸化物領域 4 におけるシリコン側壁の酸化を防止することである。この場合、深いキャパシタートレンチ 2 は、図 7 に示すように、STI 3 により覆われている。もし、カラー領域 4 におけるシリコン側壁の酸化を生ぜしめると、 $\text{SiO}_2$  のバズピークが成長し、ストレスとシリコンのディスロケーションが生じてしまう。STI 3 の底部の窒化物ライナー 1 は、深いトレンチカラー 4 への酸素の拡散を防止するバリアとして機能し、シリコンの欠陥を大きく減少させる。

【0004】しかし、STI 窒化物ライナーの存在は、後の素子領域上のパッド窒化膜を除去するためのウェットエッチングプロセスにおいて、トレンチの頂部近傍および活性領域のコーナー部近傍への攻撃を受け易くする。熱燐酸によるパッド窒化膜のエッチング中に、STI の頂部の窒化膜ライナーもエッチングされてしまう。このパッド窒化膜の除去のためには、典型的には 5 - 10 分のオーバーエッチングが行われる。

【0005】このようなオーバーエッチングにより、STI の頂部の窒化膜ライナーが優先的にエッチングされ、STI の頂部端部に、窒化膜ライナーの除去による小さな凹部 (d e v o t) が形成される。この凹部 (d e v o t) はまた、酸化物の表面、浅いトレンチの側壁に沿って熱的に成長した酸化物、および LPTEOS 表面を露出させる。酸化物、即ちパッド酸化物およびゲート犠牲酸化物のその後のエッチング中に、エッチャントは凹部 (d e v o t) を通して酸化物をエッチングし始め、活性領域のコーナー部に向かって深くかつ横方向に凹部 (d e v o t) を拡張させてしまう。

【0006】コーナー部近傍のこの等方性エッチングは、制御が困難である。そのため、オフ電流が大きく変化し、電荷保持時間を長くすることが出来ないという問題が生ずる。図 8 は、STI の頂部に形成された凹部 (d e v o t) を模式的に示す図であり、参照数字 10 の領域は、このような、大きく拡張した凹部 (d e v o t) を示す。

【0007】一方、半導体素子の幅の狭小化と、浅いトレンチを用いた素子分離のコーナー部における電場の集中のため、オフ電流がコーナー部の導電性に支配される。オフ電流は、STI のコーナー部の幾何学的形状と、コーナー部のゲート導電体 (ワード線) の重なるの程度に大きく影響される。ワード線の重なるの量は、パッドおよび犠牲酸化膜のエッチングの結果として、STI に形成される凹部 (d e v o t) の深さにより決定される。

【0008】電界効果型トランジスタのしきい値電圧(V<sub>t</sub>)は、1オングストロームの凹部(devot)の深さの増加ごとに、約1mV減少することが、実験的にも、モデル的にも確かめられた。図9は、モデルによる結果を示し、図10は、測定結果を示す。

【0009】一般に、300オングストロームの凹部(devot)の深さが観察される。これに対応するV<sub>t</sub>は、図11に示すように、3ケタを越えるオフ電流の変化を生じ、電荷保持時間を長く出来ないことがわかる。

【0010】

【発明が解決しようとする課題】本発明の目的は、浅いトレンチを用いた素子分離における凹部(devot)を減少させることを可能とする半導体装置の製造方法を提供することにある。

【0011】本発明の他の目的は、そのような方法により製造された半導体装置を提供することにある。

【0012】

【課題を解決するための手段】上記課題を解決するため、本発明は、半導体基板に素子分離用のトレンチを形成する工程、前記トレンチ内面に窒化膜を形成する工程、前記トレンチ内をマスク材料で満たすように、全面にマスク材料を堆積する工程、前記マスク材料を、前記トレンチ内のマスク材料の表面のレベルが前記半導体基板の表面のレベルより下になるように、エッチングする工程、前記エッチングにより露出した前記トレンチ内面上部の窒化膜を除去する工程、前記トレンチ内のマスク材料を除去する工程、前記トレンチ内を素子分離材料で埋め込み、素子分離領域を形成する工程、および前記素子分離領域により分離された素子領域にトランジスタを形成する工程を具備する半導体装置の製造方法を提供する。

【0013】また、本発明は、半導体基板と、この半導体基板に形成されたトレンチ内を素子分離材料で埋め込んでなる素子分離領域と、この素子分離領域により分離された素子領域に形成されたトランジスタとを具備し、前記トレンチ内面の、トレンチの上部を除く領域に窒化膜が形成されている半導体装置を提供する。

【0014】以上のように構成される本発明において、マスク材料としては、レジストを用いることが出来る。また、このマスク材料のエッチングは、マスク材料の表面のレベルが、前記半導体基板の表面のレベルより415ないし1585オングストロームとなるように行われることが望ましい。この場合、マスク材料のエッチングとトレンチ内面上部の窒化膜の除去を、同時に行うことが出来る。

【0015】マスク材料のエッチングとトレンチ内面上部の窒化膜の除去は、CF<sub>4</sub>とO<sub>2</sub>の混合ガスの雰囲気中で、化学的ドライエッチング(CDE)により行うことが出来る。

【0016】なお、素子分離材料としては、TEOS酸化物を用いることが出来る。

【0017】以上説明した本発明の方法によると、STIの側壁の上部の窒化物ライナーをあらかじめ除去しているため、その後のパッド窒化膜の除去の際に露出する窒化物ライナーが除去されて凹部(devot)が形成されることがなく、そのため、しきい値電圧が大きく変化することがなく、オフ電流が大きく変化したり、電荷保持時間の増加が損なわれることのない半導体装置を得ることが出来る。

【0018】また、STIの側壁の上部の窒化物ライナーが除去されているため、その後の犠牲酸化膜およびゲート酸化膜の酸化の際に、成長した酸化物は厚くなるので、コーナー部の寄生電流を減少させることが出来るという大きな利点を得られる。

【0019】

【発明の実施の形態】以下、図面を参照して、本発明について、詳細に説明する。

【0020】図1は、本発明の一実施例に係る半導体装置の製造工程を示す断面図である。まず、図1(a)に示すように、シリコン単結晶基板11上に、厚さ80オングストロームのパッド酸化膜12および厚さ1500オングストロームのパッド窒化膜13を形成する。次いで、公知の方法により、パッド窒化膜13、パッド酸化膜12、およびシリコン単結晶基板11を選択的に異方性エッチングして、図1(b)に示すように、シリコン単結晶基板11の表面からの深さ2500オングストロームの浅いトレンチ14を形成する。

【0021】次に、図1(c)に示すように、H<sub>2</sub>OとO<sub>2</sub>を含む雰囲気中で1000℃で熱酸化して、浅いトレンチ14の内面に厚さ100オングストロームの熱酸化膜15を形成し、さらに原料ガスとしてSiH<sub>4</sub>+NH<sub>3</sub>を用いたCVDにより、浅いトレンチ14の内面を含む全面に厚さ80オングストロームのシリコン窒化物ライナー16を形成する。

【0022】その後、図2(a)に示すように、レジスト17を10000オングストロームの厚さに塗布し、浅いトレンチ14内をレジストで満たす。レジストとしては、例えばAZ7500(商品名)を用いることが出来る。

【0023】次いで、図2(b)に示すように、CF<sub>4</sub>とO<sub>2</sub>の混合ガス(流量比:50SCCM/300SCCM)の雰囲気中で、CDE(chemical dry etching)により、シリコン基板の表面から1000オングストロームの深さまでレジスト17をエッチングする。この時、パッド窒化膜13の厚さのバラツキが±10%であり、浅いトレンチ14内に残留するレジスト17aの厚さのバラツキを±10%以内に制御した場合、浅いトレンチ14内に残留するレジスト17aは、その表面がシリコン基板11の表面から415-1

585 オングストロームとなるような厚さである。即ち、浅いトレンチ 14 の上部において、この程度の寸法の範囲のレジストが除去され、シリコン窒化物ライナー 16a が露出する。

【0024】薄い（5nm以下）窒化物ライナーの場合には、レジストを除去するためのCDEは、同時に露出する窒化物ライナー 16a をも除去してしまう。しかし、厚い窒化物ライナー（5nmを越える）は、レジストを除去する際には同時に除去されないもので、その後、レジストに対し選択的に窒化物を除去する追加のCDEにより、図2（c）に示すように、露出する窒化物ライナー 16a が除去される。

【0025】除去される窒化物ライナー 16a の範囲は、深いトレンチカラー形成の際の酸素の拡散を妨げるバリアを提供しつつ、凹部（devot）を減少させるに十分な範囲であり、上述のように、シリコン基板 11 の表面から 415-1585 オングストロームであるのが好ましい。

【0026】浅いトレンチ 14 の上部のシリコン窒化物ライナー 16a が除去された後、CDEにより浅いトレンチ 14 内のレジスト 17a がすべて除去され、その後、通常の半導体素子製造プロセスが行われる。

【0027】即ち、図3—図5に示すように、浅いトレンチ 14 内にTEOS酸化物等を埋め込んでSTI 31を形成し、このSTI 31により分離された素子領域上のパッド窒化膜 13 およびパッド酸化膜 12 を除去した後、ゲート酸化膜 32 およびゲート電極 33 を形成し、更にイオン注入によりソース領域 34a およびドレイン領域 34b を形成して、MOSFETが形成される。なお、パッド窒化膜 13 の除去の際に、表面にはシリコン窒化物ライナーが露出していないので、シリコン窒化物ライナーの除去による凹部（devot）が形成されることはない。

【0028】図3は、以上のプロセスにより得られたMOSFETの上面図、図4はそのA-A断面図、図5はそのB-B断面図である。

【0029】図6は、STIの頂部における、減少した凹部（devot）を模式的に示す図であり、参照数字 20 の領域は、図8に示す従来形成されていた凹部（devot）に比べ、はるかに小さい凹部（devot）を示す。

【0030】

【発明の効果】以上説明したように、本発明の方法によると、STIの側壁の上部の窒化物ライナーをあらかじめ除去しているため、その後のパッド窒化膜の除去の際に露出する窒化物ライナーが除去されて凹部（devot）が形成されることがない。その結果、しきい値電圧が大きく変化することがなく、オフ電流が大きく変化し

たり、電荷保持時間の増加が損なわれることはない。

【0031】また、STIの側壁の上部の窒化物ライナーが除去されているため、その後の犠牲酸化膜およびゲート酸化膜の酸化の際に、成長した酸化物は厚くなるので、コーナー部の寄生電流を減少させることが出来るという大きな利点が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体装置の製造工程を示す断面図。

【図2】本発明の一実施例に係る半導体装置の製造工程を示す断面図。

【図3】図1および図2に示す半導体装置の製造工程により得られた半導体装置の平面図。

【図4】図3のラインA-Aで切断した断面図。

【図5】図3のラインB-Bで切断した断面図。

【図6】浅いトレンチ素子分離の頂部における、減少した凹部（devot）を模式的に示す図。

【図7】浅いトレンチ素子分離領域の底部の窒化物ライナーが深いトレンチカラーの側壁のシリコンへの酸素の拡散を防止するバリアとなることを示す、半導体装置の断面図。

【図8】浅いトレンチ素子分離領域の頂部に形成された凹部（devot）を模式的に示す図。

【図9】モデルにより得た、凹部（devot）の深さとしきい値電圧との関係を示すグラフ。

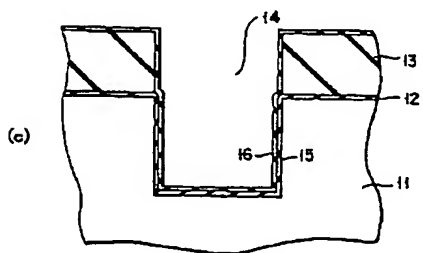
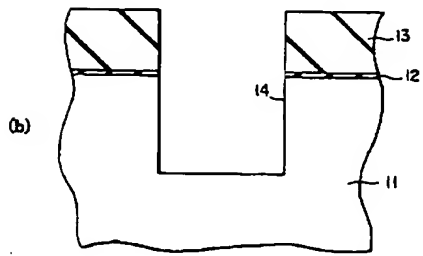
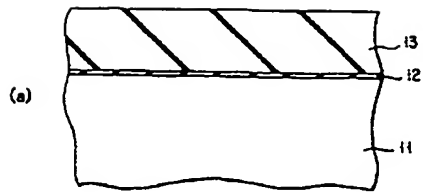
【図10】測定により得た、凹部（devot）の深さとしきい値電圧との関係を示すグラフ。

【図11】凹部（devot）の深さと相対的オフ電流との関係を示すグラフ。

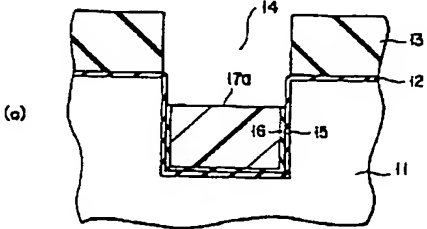
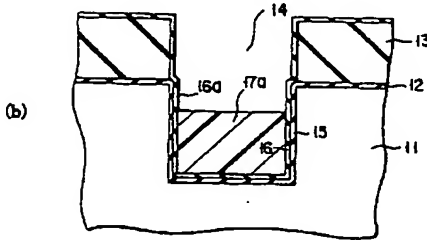
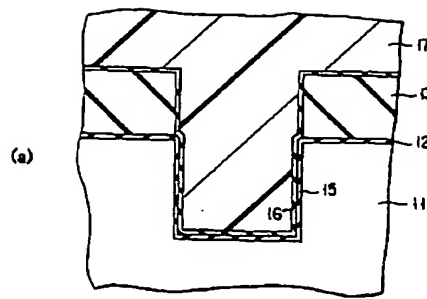
【符号の説明】

- 1…窒化物ライナー
- 2…深いキャパシタートレンチ
- 3, 31…STI
- 4…カラー酸化物領域
- 10…凹部（devot）
- 11…シリコン単結晶基板
- 12…パッド酸化膜 12
- 13…パッド窒化膜
- 14…トレンチ
- 15…熱酸化膜
- 16…シリコン窒化物ライナー
- 17…レジスト
- 18…残留レジスト
- 32…ゲート酸化膜
- 33…ゲート電極
- 34a…ソース領域
- 34b…ドレイン領域

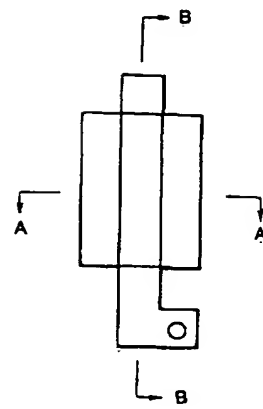
【図 1】



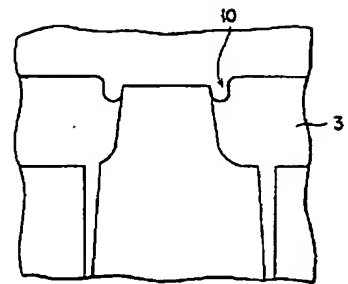
【図 2】



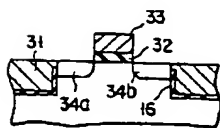
【図 3】



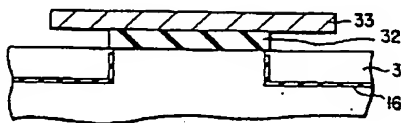
【図 8】



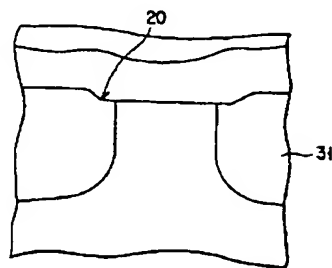
【図 4】



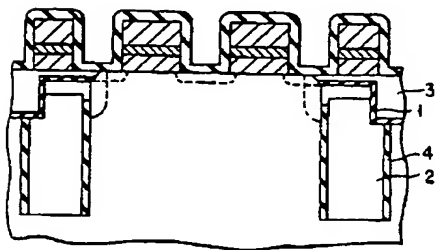
【図 5】



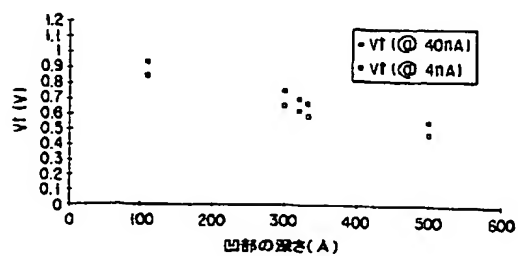
【図 6】



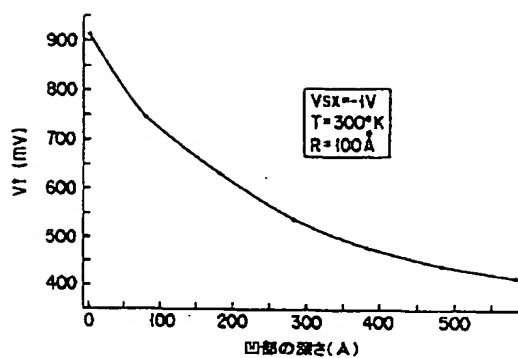
【図 7】



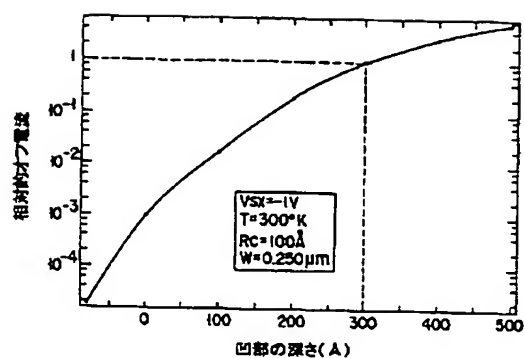
【図 10】



【図 9】



【図 11】



フロントページの続き

- (72)発明者 ジャック・エー・マンデルマン  
 アメリカ合衆国、 ニューヨーク州  
 12582、 ストームビル、 ジャミー・レ  
 ーン 5
- (72)発明者 森門 六月生  
 神奈川県横浜市磯子区新杉田町 8 番地 株  
 式会社東芝横浜事業所内

- (72)発明者 ハーバート・ホ  
 アメリカ合衆国、 ニューヨーク州  
 10992、 ワシントンビル、 バーネッ  
 ト・ウェイ 7
- (72)発明者 ジェフリー・ビー・ガンビノ  
 アメリカ合衆国、 コネチカット州  
 06755、 ゲイローズビル、 ウェパタッ  
 ク・ロード 12